

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020083573 A
(43)Date of publication of application: 04.11.2002

(21)Application number: 1020010022950
(22)Date of filing: 27.04.2001

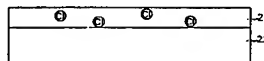
(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: KIM, JANG SIK
LEE, YUN JIK

(51)Int. Cl H01L 21/205

(54) METHOD FOR FORMING BARRIER METAL FILM OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A barrier metal film formation method of semiconductor devices is provided to prevent a crack due to inter-grain stress by enhancing tolerance of a barrier metal film.



CONSTITUTION: After loading a semiconductor substrate(22) in a chamber, a barrier metal film(24) of TiN is deposited by supplying TiCl_4 gas and NH_3 gas into the semiconductor substrate(22) using CVD(Chemical Vapor Deposition). The non-reaction gases remaining the surface of the barrier metal film(24) are removed by performing sequentially purging and pumping processes. The mixing ratio of the TiCl_4 gas and the NH_4 gas is 1:10 to 10:1. Also, the deposition of the barrier metal film(24) is performed in the temperature of $500 - 700^\circ\text{C}$ and at the pressure of 1 - 300 Torr. The purging and pumping processes are performed for 5 seconds and 3 seconds more than, respectively.

© KIPO 2003

Legal Status

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/205

(11) 공개번호 특2002-0083573
(43) 공개일자 2002년11월04일

(21) 출원번호	10-2001-0022950
(22) 출원일자	2001년04월27일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 아천시 부발읍 아미리 산136-1 김장식 경기도구리시수택3동엘지원아파트105동106호 이윤직 충청북도청주시흥덕구가동동1189형식1차아파트105동1208호 강성배
(74) 대리인	

심사청구 : 없음

(54) 반도체장치의 베리어금속막 형성방법

요약

본 발명은 박막의 내성을 강화시키어 크랙(crack)을 방지할 수 있는 반도체장치의 베리어금속막 형성방법에 관한 개시한다.

개시된 본 발명의 반도체장치의 베리어금속막 형성방법은 기판 상에 $TiCl_4$ 가스와 NH_3 가스를 공급하여 베리어금속막(TiN)을 증착하는 단계와, 정화 및 평핑을 순차적으로 진행시키어 베리어금속막(TiN) 표면에 잔류하는 미반응가스를 제거하는 단계를 포함한다.

도표도

도3b

발명서

도면의 간단한 설명

도 1은 통상적인 CVD용 챔버의 단면도.

도 2a 내지 도 2b는 종래기술에 따른 반도체장치의 베리어금속막 형성방법을 개략적으로 도시한 도면.

도 3a 내지 도 3b는 본 발명에 따른 반도체장치의 베리어금속막 형성방법을 개략적으로 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자의 형성방법에 관한 것으로, 보다 상세하게는 박막의 내성을 강화시키어 크랙(crack)을 방지할 수 있는 반도체장치의 베리어금속막(barrier metal layer) 형성방법에 관한 것이다.

종래기술에 따른 반도체장치의 베리어금속막 형성방법을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 1은 통상적인 CVD용 챔버의 단면도이고, 도 2a 내지 도 2b는 종래기술에 따른 반도체장치의 베리어금속막 형성방법을 개략적으로 도시한 도면이다.

종래기술에 따른 반도체장치의 베리어금속막 형성방법은, 도 1에 도시된 바와 같이, 챔버(10) 내의 안착부(14)에 기판(12)을 로딩시킨다. 그리고 가스유입부(16)를 통해 도 2a에 도시된 바와 같이, $TiCl_4(g)$ 와 $NH_3(g)$ 이 각각 공급되며, 공급된 $TiCl_4(g)$ 와 $NH_3(g)$ 은 샤워헤드(shower head)(18)를 통해 챔버(10) 내부로 퍼지면서 서로 반응한다. 상기 반응된 가스는 기판(12) 상에 화학기상증착(Chemical Vapor Deposition: CVD)과 침착하여 베리어금속막(TiN)(14)을 형성한다. 이 때, 베리어금속막(TiN)(14)은 800 Å ~ 1,000 Å 두께로 증착된다.

만약, 상기 $TiCl_4(g)$ 와 $NH_4(g)$ 가 혼합된 상태로 챔버(10) 내부로 유입되면 파티클(particle)이 발생될 우려가 있으므로, 챔버 내부에서 서로 반응하게 한다.

상기 베리어금속막(TiN)(14)을 PVD(Physical Vapor Deposition)방법으로 증착할 경우 오버행(overhang) 및 스텝커버리지가 나쁘고, MOCVD(Metal-Organic Chemical Vapor Deposition)방법으로 증착할 경우는 다량의 불순물을 함유하고 있기 때문에 별도의 불순물 제거과정이 수반되어야 하므로 공정이 복잡해진다.

따라서, 베리어금속막(TiN)은 통상적으로 스텝커버리지(step coverage)가 우수한 CVD방법으로 증착한다. 도면번호 16은 $TiCl_4(g)$ 등의 미반응가스를 도시한 것이다.

이 후, 챔버(10) 내에 $TiCl_4(g)$ 공급을 차단한 상태에서 도 2b에 도시된 바와 같이, $NH_4(g)$ 를 공급하여 베리어금속막(TiN)(14)의 그레인 바운더리(grain boundary) 내의 C기를 밖으로 빠져나오게 하고 또한, $TiCl_4(g)$ 등의 미반응가스를 반응시킨다.

즉, $NH_4(g)$ 후처리는 챔버(10) 내의 미반응가스인 $TiCl_4(g)$ 를 반응시키고, 증착된 TiN막 표면에 포함되어 있는 C기를 제거하여 박막의 비저항이 낮추는 역할을 한다.

이 후, 도면에 도시되지 않았지만, 세정 공정을 거쳐서 베리어금속막(TiN)을 덮도록 캐패시터의 하부전극, 유전체층 및 상부전극을 형성할 수도 있다.

본 발명이 이루고자 하는 기술적 과제

그러나, 종래기술에 따른 반도체장치의 베리어금속막의 형성방법은 NH_4 후처리를 진행함으로써, NH_4 에 의해 TiN막의 그레인 바운더리(grain boundary) 내에 분당되어 있던 C기가 빠져나오면서 그레인 간에 발생하는 스트레스(inter-grain stress)에 의해 그레인 바운더리를 따라 크랙이 발생되는 문제점이 있었다.

이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, 박막의 내성을 강화하여 크랙 발생을 방지할 수 있는 반도체장치의 베리어금속막 형성방법을 제공함에 그 목적이 있다.

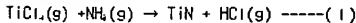
본 발명의 구성 및 작용

상기 목적들을 달성하기 위한 본 발명의 반도체장치의 베리어금속막 형성방법은 기판 상에 $TiCl_4$ 가스 및 NH_4 가스를 공급하여 베리어금속막(TiN)을 증착하는 단계와, 정화 및 평평을 순차적으로 진행시키며 베리어금속막(TiN) 내의 미반응가스를 제거하는 단계를 포함한다.

이하, 본 발명에 따른 반도체장치의 베리어금속막 형성방법을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 3a 내지 도 3b는 본 발명에 따른 반도체장치의 베리어금속막 형성방법을 개략적으로 도시한 도면이다.

본 발명에 따른 반도체장치의 베리어금속막의 형성방법은, 챔버(미도시) 내에 박막 형성공정이 진행될 기판(22)을 안착시킨 다음, 하가식 및 도 3a에 도시된 바와 같이, $TiCl_4(g)$ 와 $NH_4(g)$ 를 공급하여 TiN막(24)을 화학기상증착한다.



이때, $TiCl_4$ 가스는 50~500mg/min 정도로 흘려주며, $TiCl_4(g)$ 와 $NH_4(g)$ 는 1:10~10:1 혼합비율로 공급한다. 또한, 베리어금속막인 TiN막(24) 증착공정은 $^{\circ}C \sim 700^{\circ}C$ 의 온도, 1~30토르(Torr)의 압력에서 진행된다.

도면번호 26은 $TiCl_4(g)$ 등의 미반응가스를 도시한 것이다.

이 후, 도 3b에 도시된 바와 같이, 정화 및 평평공정을 진행시키며 베리어금속막(TiN)(24)의 미반응가스를 외부로 배기시킨다. 상기 정화공정은 5초 이상 진행하며, 평평공정은 3초 이상 진행한다.

이 후, 도면에 도시되지 않았지만, 베리어금속막(TiN)(24)을 덮도록 하부전극, 유전체층 및 상부전극을 순차적으로 적층하여 캐패시터를 형성할 수도 있다.

상기 언급한 바와 같이, 본 발명은 $TiCl_4$ 가스를 공정가스로 하여 베리어금속막(TiN)을 화학기상증착함에 있어서, NH_4 후처리 공정을 생략하여 베리어금속막(TiN) 내의 C기가 무리하게 빠져나가는 것을 방지하고, 베리어금속막(TiN)에 정화 및 평평 공정을 진행시키며 미반응가스를 제거함으로써, 박막의 내성이 강화되어 크랙이 방지된다.

본 발명은 베리어금속막 이외에도 TiN 플러그(plug) 공정에 응용될 수 있다.

본 발명의 효과

이상에서와 같이, 본 발명은 NH_4 후처리 공정을 생략함으로써 베리어금속막(TiN) 내의 C기가 무리하게 빠져나가는 것을 방지하여 박막의 내성을 강화시킬 수 있다. 따라서, TiN막의 크랙이 방지되어 전기적 특성 및 디바이스의 신뢰성을 확보할 수 있다.

또한, 본 발명은 정화 및 평평공정을 진행시킴으로써, 베리어금속막(TiN) 표면에 잔류하는 미반응가스(Cl)를 제거할 수 있다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1

기판 상에 $TiCl_4$ 가스와 NH_3 가스를 공급하여 베리어금속막(TiN)을 증착하는 단계와,

정화 및 핏핑을 순차적으로 진행시키어 상기 베리어금속막(TiN) 표면에 잔류하는 미반응가스를 제거하는 단계를 포함한 반도체장치의 베리어금속막 형성방법.

청구항 2

제 1항에 있어서, 상기 베리어금속막(TiN) 증착은 $500^{\circ}C \sim 700^{\circ}C$ 의 온도에서 진행되는 것을 특징으로 하는 반도체장치의 베리어금속막 형성방법.

청구항 3

제 1항에 있어서, 상기 베리어금속막(TiN) 증착은 1~30토르의 압력에서 진행되는 것을 특징으로 하는 반도체장치의 베리어금속막 형성방법.

청구항 4

제 1항에 있어서, 상기 베리어금속막(TiN) 증착은 상기 $TiCl_4$ 가스를 50~500mg/min 정도로 흘려주는 것을 특징으로 하는 반도체장치의 베리어금속막 형성방법.

청구항 5

제 1항에 있어서, 상기 $TiCl_4$ 가스와 NH_3 가스는 1:10~10:1 혼합비율로 공급되는 것을 특징으로 하는 반도체장치의 베리어금속막 형성방법.

청구항 6

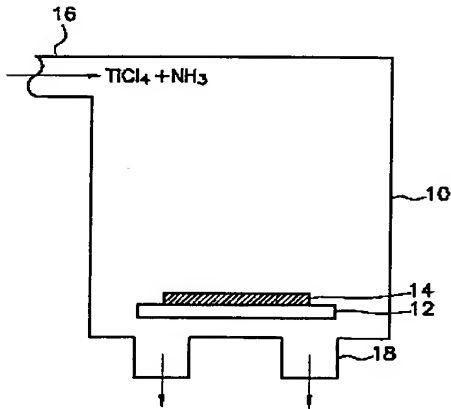
제 1항에 있어서, 상기 정화는 5초 이상 진행되는 것을 특징으로 하는 반도체장치의 베리어금속막 형성방법.

청구항 7

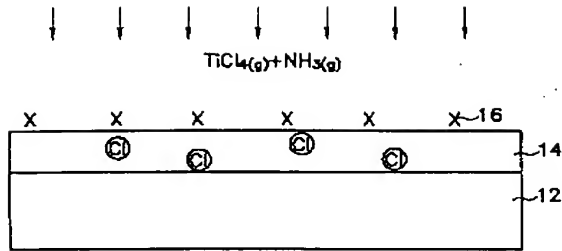
제 1항에 있어서, 상기 핏핑은 3초 이상 진행되는 것을 특징으로 하는 반도체장치의 베리어금속막 형성방법.

도면

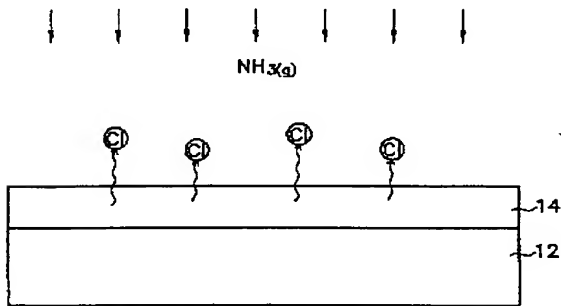
도면1



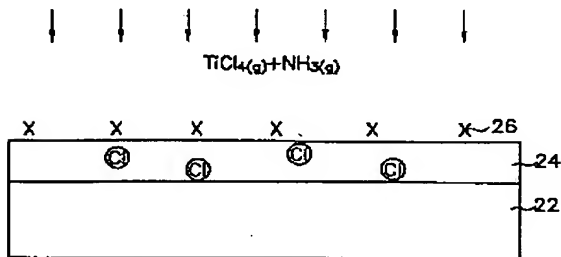
도 2a



도 2b



도 3a



도 36

